

1/1 JAPIO - (C) JPO- image

PN - JP 60191374 A 19850928 [JP60191374]

TI - PICTURE PROCESSOR

IN - YOSHINO ISAO; NAKAO KUNIMICHI

PA - FUJITSU LTD

AP - JP04749184 19840312 [1984JP-0047491]

IC1 - G06K-009/00

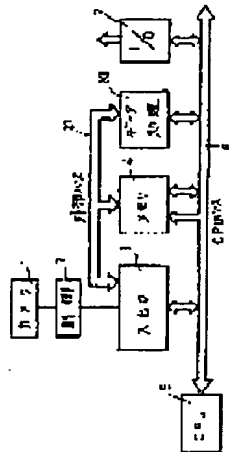
IC2 - G06F-015/20 G06F-015/62

AB - PURPOSE: To perform the picture processing at a high speed by providing a data processing circuit to a picture processor consisting of a picture input/output circuit, a picture memory circuit and a CPU to give an access to said picture input/output circuit and picture memory circuit respectively via a memory access bus.

- CONSTITUTION: The pictures obtained through a camera 1 are supplied to a picture input/output circuit 3 through a camera control system 2. The picture data is fetched to a picture memory 4 via an external bus and then read by a data processing circuit 20 via a memory access bus 21. The processed data is sent back to the memory 4 via the bus 21. In such a way, the processing can be individually turned into a hard form and delivered to an interface circuit 7 in addition to the soft processing carried out by a CPU5. This attains the picture processing at a high speed.

- COPYRIGHT: (C) 1985, JPO&Japio

Click on image to view Tiff



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-191374

⑤ Int. Cl.⁴

G 06 K 9/00
G 06 F 15/20
15/62

識別記号

庁内整理番号

Z-8320-5B
6619-5B
6619-5B

④ 公開 昭和60年(1985)9月28日

審査請求 未請求 発明の数 1 (全4頁)

⑬ 発明の名称 画像処理装置

⑭ 特 願 昭59-47491

⑮ 出 願 昭59(1984)3月12日

⑯ 発 明 者 吉 野 勲 川崎市中原区上小田中1015番地 富士通株式会社内
⑰ 発 明 者 中 尾 邦 道 川崎市中原区上小田中1015番地 富士通株式会社内
⑱ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地
⑲ 代 理 人 弁 理 士 松 岡 宏 四 郎

明 細 書

1. 発明の名称

画像処理装置

2. 特許請求の範囲

画像入出力回路、画像メモリ回路および制御CPUとを有する画像処理装置において、データ処理回路を新たに設け、且つ該データ処理回路と上記画像メモリ回路および画像入出力回路とにアクセスするハード処理用のメモリアksesバスを設けて、CPUバスを経由してソフト的に行なう処理と同様の処理機能を該メモリアksesバスを経由しておこなうようにしたことを特徴とする画像処理装置。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明は画像処理装置に係り、例えば半導体装置を製造する際、自動的にボンディング位置を認識してワイヤーボンディングする自動ボンディング装置に付設する画像処理装置に関する。

(b) 技術の背景

半導体装置の発展に伴って、その製造方法も高度化されており、マイクロコンピュータ等を用いた自動制御方式を各工程に採り入れて、製造が行なわれている。上記したワイヤーボンディング工程やチップボンディング工程にも自動ボンディング方式が用いられ、そのための半導体チップ表面を自動的に認識する画像処理装置が汎用化されてきた。

本発明はこのような画像処理装置に関するものであるが、必ずしもこれに限定されたものではない。汎くマイクロコンピュータ等によつて画像認識処理を行なう装置全般に係わる提案である。

(c) 従来技術と問題点

第1図はこのような従来の画像処理装置の構成図を示しており、カメラ1によつて取り込まれた画像(例えばチップ面の像)はカメラ制御系2を通じて画像入出力回路3に入力され、この画像入出力回路専用の画像メモリ回路4(以下、画像メモリと略す)に格納される。且つ、格納された二値化メモリデータは、CPU(中央制御装置)5

で制御されたCPUバス6を経由して適時にCPU5で処理され、その処理データはインターフェース回路7より出力される。次に、その処理データは第2図に示すCPU間データ転送の体系図に示すように、他のCPU8で制御された外部処理装置のインターフェース回路9に入力され、CPUバス10を通して処理データがメモリ11に格納される。この他のCPU8で制御された外部処理装置とは、例えば自動ワイヤーボンディング装置の撮像部を制御する制御系の情報処理装置で、その処理データに基づいて撮像部が可動されるものである。

ところで、上記第1図に示している画像処理装置はカメラ1によつて取り込まれた画像を一旦、画像メモリ4に格納し、その格納されたメモリデータをCPUバス6を経由して適宜にソフト的にCPU5で処理されて、再度処理データが画像メモリ4に格納され、再びこの処理データがCPUバス6を経由してインターフェース回路7より出力されている。

しかしながら、このようなソフト的な処理のみによる方式は処理自体が複雑になり、データ処理やデータ転送に多くの時間を要する欠点がある。

(a) 発明の目的

本発明は、このような欠点を取り除き、処理スピードを速くする画像処理装置を提案するものである。

(b) 発明の構成

その目的は、画像入出力回路、画像メモリ回路および制御CPUを有する画像認識装置において、データ処理回路を新たに設け、且つ該データ処理回路と上記画像メモリ回路および画像入出力回路とにアクセスするハード処理用のメモリアksesバスを設けて、CPUバスを経由してソフトに行なう処理と同様の処理機能を該メモリアksesバスを経由しておこなうようにしたことを特徴とする画像処理装置によつて達成される。

(c) 発明の実施例

以下、本発明を詳細に説明するが、言い換えれば本発明は従来の制御CPUによるソフト的な処

3

理に加え、演算処理をハード化して別個にデータ処理回路を設けて、画像入出力回路より独立させた画像メモリに直接アクセスできるようにした方式で、そのためCPUバス5とは別の外部バスを備えた体系に構成するものである。

第3図はこのような本発明にかかる画像処理装置の構成図を示しており、20がデータ処理回路、21がメモリアksesバス（以下、外部バスと称する）で、他の記号は第1図と同一部分に同一符号が付してある。このような構成にすると、画像入出力回路3から得られる画像データを、まず外部バスを経由して画像メモリ4に取り込み、この取り込んだ画像データをデータ処理回路20で外部バス21を経由して読み取り、そのデータを再び外部バス21を経由して画像メモリ4に送り返すことができる。そのため、CPU5では他の処理が行なえて処理スピードが速くすることができる。

第4図は更に詳しいデータ処理回路20と画像メモリ4との構成図を示しており、41はメモリ、42はバスコントローラ、43は外部バスバッファ、44

4

はCPUバスバッファである。このように、データ処理回路20からリード信号又はライト信号が送られ、アドレスが指定されて、データがデータ処理回路20と画像メモリ4との間で直接交換されるが、一方では従来のCPUバスを経由しても同様の処理が行なえることを示している。

かようにすれば、第3図における同一外部バス21を有する処理回路の複数個を接続することができて、処理能力を増やすことも可能である。

更に、第5図に示すように外部処理装置に転送する場合、画像メモリ4に外部処理装置のCPUバス10をアクセスすることによつて、外部処理装置に画像メモリ4を共有させることができる利点がある。

(d) 発明の効果

以上の説明から判るように、本発明によれば画像処理装置におけるソフト処理にハード的な処理を併設させるため、処理スピードが高速化する効果の大きいものである。

4. 図面の簡単な説明

5

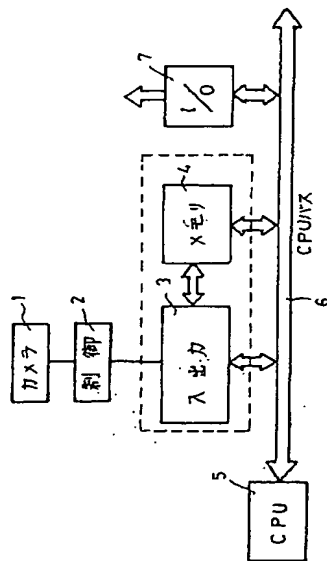
6

第1図は従来の画像処理装置の構成図、第2図はそのデータ転送の体系図、第3図は本発明にかかる画像処理装置の構成図、第4図は第3図のうちの詳細なデータ処理回路と画像メモリとの構成図、第5図は本発明に係わるデータ転送の体系図である。

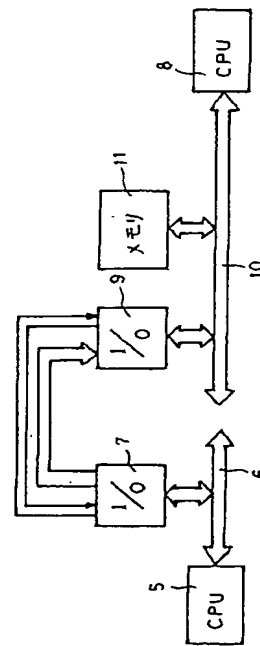
図中、1はカメラ、2はカメラ制御系、3は画像入出力回路、4は画像メモリ(装置)、5、8はCPU、6、10はCPUバス、7、9はインターフェース回路、11はメモリ、20はデータ処理回路、21は外部バスを示している。

代理人 弁理士 松岡宏四郎

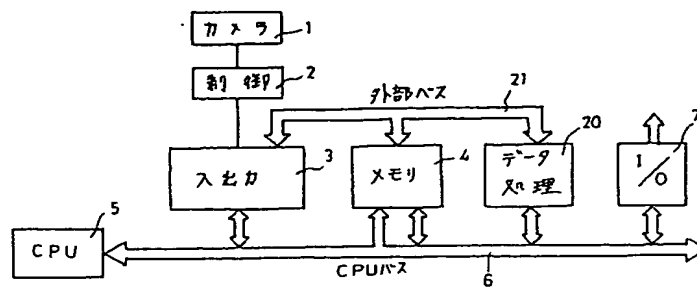
第1図



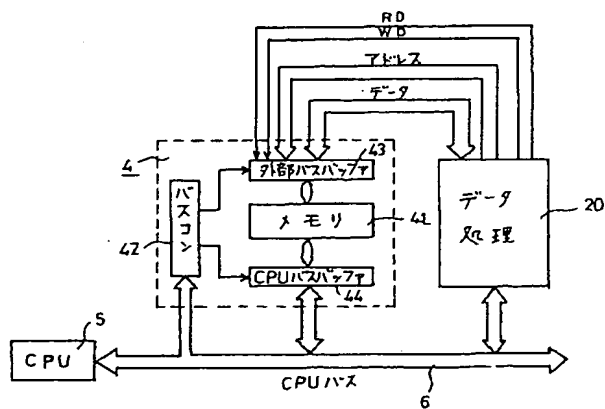
第2図



第 3 図



第 4 図



第 5 図

